

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256475

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 25/10
H01L 25/11
H01L 25/18
H01L 23/50

(21)Application number : 10-008470

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 20.01.1998

(72)Inventor : CHUN HEUNG SUP

(30)Priority

Priority number : 97 9708654

Priority date : 14.03.1997

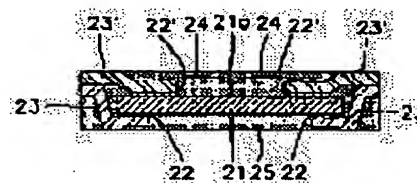
Priority country : KR

(54) BOTTOM LEAD PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a bottom lead package in which the capacity of a semiconductor storage device which is provided as, for example, one of semiconductor chips can be increased easily by contriving the structures of the semiconductor chips.

SOLUTION: The upper or lower surfaces of one end sections of pluralities of thin plate-like lower leads 23 and upper leads 23' are stuck at prescribed intervals to both side sections of the lower and upper surfaces of a semiconductor chip 21 with an insulating adhesive 22 and at least parts of the upper surfaces of the other end sections of the upper lead group 23 and at least parts of the lower surfaces of the end sections of the lower lead group 23' are exposed on the surface of a package. In addition, parts of the upper surfaces of the other end sections of the upper lead group 23 are electrically connected to parts of the upper surface of the other end sections of the lower lead group 23' in a molded section 25.



LEGAL STATUS

[Date of request for examination]

20.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2914944

{Date of registration} 16.04.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

{Claim 1} It is the bottom lead package characterized by providing the following. A part of upper surface [at least] of the other-end section of this up lead group and a part of inferior surface of tongue [at least] of one edge of this lower lead group are exposed to the exterior of this package, respectively. And a bottom lead package characterized by joining electrically a part of inferior surface of tongue of the other-end section of this up lead group, and a part of upper surface of the other-end section of this lower lead group by these molding circles A semiconductor chip (21); Two or more lower lead [of the shape of sheet metal which set a predetermined gap which the upper surface of edge of one of these pastes up on the method section of inferior-surface-of-tongue right-and-left both sides of this semiconductor chip with insulating adhesives (22), and was allotted to a cross direction of this semiconductor chip] (23); Two or more up lead (23'); of the shape of sheet metal which set a predetermined gap which an inferior surface of tongue of edge of one of these pastes up on the method section of upper surface right-and-left both sides of this semiconductor chip with insulating adhesives (22), and was allotted to a cross direction of this semiconductor chip, two or more metal wires (24) which connect electrically this semiconductor chip of this up lead group, the upper surface of an edge to paste up, and a chip pad (21a) prepared in an upper surface center section of this semiconductor chip, respectively --; -- The molding section made of resin which closes this semiconductor chip and this wire group which contain this chip pad in a predetermined partial list of this up lead group and this lower lead group (25);

{Claim 2} 1st level extension section (23a); which the upper surface pastes [each lead of the aforementioned lower lead group (23)] up on this semiconductor chip, this -- from an outer edge of the 1st level extension section -- this -- with slant face section (23b); once extended to the slanting upper part so that it may separate from the 1st level extension section from an outer edge of this slant face section -- this -- with 2nd level extension section (23c); horizontally extended so that it may separate from the 1st level extension section further since -- each lead of the aforementioned up lead group (23') with 1st level extension section (23'a); which the inferior surface of tongue pastes up on this semiconductor chip this -- from an outer edge of the 1st level extension section -- this -- with slant face section (23'b); once extended to the slanting upper part so that it may separate from the 1st level extension section from an outer edge of this slant face section -- this -- with 2nd level extension section (23'c); horizontally extended so that it may separate from the 1st level extension section further since -- a bottom lead package according to claim 1 at least whose electric joint of this lower lead group and this up lead group is a part of inferior

surface of tongue of the 2nd level extension section of this up lead group that faces a part of upper surface of the 2nd level extension section of this lower lead group, and it.

[Claim 3] A bottom lead package according to claim 2 by which electric cementation in the aforementioned lower lead group (23) and an up lead group (23') is brought about with heating and a pressure welding of a part of inferior surface of tongue of the 2nd level extension section of this up lead group that faces a part of upper surface of the 2nd level extension section of this lower lead group, and it.

[Claim 4] A bottom lead package according to claim 1 to 3 whose quality of the material of the aforementioned wire (24) is gold.

[Claim 5] A bottom lead package according to claim 1 to 3 whose aforementioned adhesives (22 22') are insulating adhesives.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the bottom lead package which can be laminated especially about a bottom lead package (BOTTOM LEAD PACKAGE).

[0002]

[Description of the Prior Art] Generally, there is a bottom lead package as a kind of the chip-size package (CHIP SIZE PACKAGE) which is a package of chip (CHIP) size and abbreviation equivalent size. The arrangement location of a chip pad (CHIP PAD) can divide this bottom lead package roughly into two sorts. that is, the chip pad was arranged on the method section of both sides of the upper surface of a chip "S-BLP package" The chip pad was arranged on the upper surface center section of the chip. "C-BLP package" it is .

[0003] . Explain these configurations using a drawing.

S-BLP package (refer to drawing 4)

Semiconductor chip 1; and 1st level extension section 3a pasted up on the method section of inferior surface of tongue both sides of this semiconductor chip with adhesives 2, Slant face section 3b extended from the outer edge to method of outside slanting facing up, and 2nd level extension section 3c further extended at a level with the method of outside from the outer edge of this slant face section, since -- with metal wire 4; which connects electrically two or more becoming lead 3; and two or more chip pad 1a allotted to the method section of upper surface both sides of this semiconductor chip and each of this lead group, respectively molding section 5; closed with an insulating resin material so that the inferior surface of tongue of the 1st level extension section of this lead group may be exposed to the exterior of a package and the predetermined portions of this semiconductor chip, this wire, and this lead group may be wrapped -- since -- it was constituted.

[0004] thus, the constituted former "S-BLP package" As shown in drawing 5 , after applying solder paste 8 to the upper surface of each land 7a of a printed wired board (PRINTED WIRING BOARD) 7, pick and place (PICK AND PLACE) are given. ** "S-BLP package" You made it located so that it may come on this land to which the inferior surface of tongue of the 1st level extension section of the exposed lead group 3 corresponds, and it was mounting by giving reflow soldering (REFLOW SOLDERING).

[0005] C-BLP package (refer to drawing 6) semiconductor chip 11; and 1st level extension section 13a pasted up on the method section of upper surface both sides of this semiconductor chip with adhesives 12, Slant face section 13b extended from the outer edge to method of outside slanting facing up, and 2nd level

extension section 13c further extended at a level with the method of outside from the outer edge of this slant face section, since -- with two or more metal wire 14; which connects electrically two or more becoming lead 13; and two or more chip pad 11a allotted to the upper surface center section of this semiconductor chip and each of this lead, respectively molding section 15; closed with an insulating resin material so that the upper surface of the 1st level extension section of this lead-group may be exposed to the exterior of a package and the predetermined portions of this semiconductor chip, this wire, and this lead group may be wrapped -- since -- it was constituted.

[0006] thus, the constituted former "C-BLP package" As shown in drawing 7 , after applying solder paste 18 to the upper surface of each land 17a of a printed wired board 17, It was shown in drawing 6 . "C-BLP package" 16 were made into the upside-down, and it was made this upside-down. "C-BLP package" The upper surface of 1st level extension section 13c of the exposed lead group 13 (here) the upper surface [in / with the upper surface / drawing 6] -- saying -- you made it located so that it may come on this corresponding land, and it was mounting by giving reflow soldering.

[0007] since the exposure of each lead which be an electric connection terminal to the exterior be formed in either an upper part side or a lower part side (when it be a "C-BLP package") (when it be a "S-BLP package"), an inconvenient point that it be impossible increase simply the capacity of the semiconductor storage element as one of the semiconductor chips be in the appropriate bottom lead package of the former which be alike and be constituted in this way

[0008]

[Problem(s) to be Solved by the Invention] The purpose of this invention tends to offer the bottom lead package which can increase the capacity of the semiconductor storage element as one of the semiconductor chips easily by devising the structure of a semiconductor chip.

[0009]

[Means for Solving the Problem] Two or more lower lead 23; of the shape of sheet metal which a bottom lead package concerning this invention set a predetermined gap which the upper surface of edge of one of these pastes up on semiconductor chip 21; and the method section of inferior-surface-of-tongue right-and-left both sides of this semiconductor chip with the insulating adhesives 22, and was allotted to a cross direction of this semiconductor chip, this -- a semiconductor chip -- the upper surface -- right and left -- both sides -- a way -- the section -- insulation -- adhesives -- 22 -- the -- one side -- an edge -- an inferior surface of tongue -- pasting up -- having -- predetermined -- a gap -- setting -- this -- a semiconductor chip -- a cross direction -- allotting -- having had -- sheet metal -- ** -- plurality -- the upper part -- a lead -- 23 -- ' --; -- Two or more metal wire 24; which connects electrically this semiconductor chip of this up lead group, the upper surface of an edge to paste up, and chip pad 21a (plurality) prepared in an upper surface center section of this semiconductor chip, respectively, Molding section 25; made of resin which closes this semiconductor chip and this wire-group which contain this chip pad in a predetermined partial list of this up lead group and this lower lead group, It is the becoming bottom lead package and a part of upper surface [at least] of the other-end section of this up lead-group and a part of inferior-surface of tongue [at least] of one edge of this lower lead group are exposed to the exterior of this package, respectively. since -- And a part of inferior surface of tongue of the other-end section of this up lead group and a part of upper surface of the other-end section of this lower lead group are characterized by being electrically joined by these molding circles.

[0010] Here as a concrete mode of the aforementioned lead group 1st level extension section 23a; which

the upper surface pastes up on this semiconductor chip about each lead of the lower lead group 23, this -- from an outer edge of the 1st level extension section -- this -- with slant face section 23b; once extended to the slanting upper part so that it may separate from the 1st level extension section from an outer edge of this slant face section -- this -- 2nd level extension section 23c; horizontally extended so that it may separate from the 1st level extension section further -- since -- what becoming about each lead of up lead group 23' 1st level extension section 23'a; which the inferior surface of tongue pastes up on this semiconductor chip, this -- from an outer edge of the 1st level extension section -- this -- with slant face section 23'b; once extended to the slanting upper part so that it may separate from the 1st level extension section from an outer edge of this slant face section -- this -- with 2nd level extension section 23'c; horizontally extended so that it may separate from the 1st level extension section further since -- that at least a becoming thing and whose electric joint of this lower lead group and this up lead group are a part of inferior surfaces of tongue of the 2nd level extension section of this up lead group that faces a part of upper surface of the 2nd level extension section of this lower lead group and it is illustrated.

[0011]

[Embodiment of the Invention] Hereafter, this invention is explained to details based on the gestalt of the operation. The bottom lead package concerning this invention consists of following elements, as shown in drawing 1.

In the method section of inferior surface of tongue right and left both sides of this semiconductor chip, with the insulating adhesives 22 Semiconductor chip 21 ** lower lead group 23 : ** The edge of one of these, Namely, 1st level extension section 23a horizontally extended so that it may keep away from this semiconductor chip, two or more leads of the shape of sheet metal which set the predetermined gap which ***** pastes up and was allotted to the cross direction of this semiconductor chip -- it is -- this -- from the outer edge of the 1st level extension section -- this -- with slant face section 23b once extended to the slanting upper part so that it may separate from the 1st level extension section from the outer edge of this slant face section -- this -- 2nd level extension section 23c horizontally extended so that it may separate from the 1st level extension section further -- since -- it becomes.

In the method section of upper surface right and left both sides of this semiconductor chip, with the insulating adhesives 22 Up lead group 23' : ** The edge of one of these, Namely, 1st level extension section 23'a horizontally extended so that it may keep away from this semiconductor chip, two or more leads of the shape of sheet metal which set the predetermined gap which ***** pastes up and was allotted to the cross direction of this semiconductor chip -- it is -- this -- from the outer edge of the 1st level extension section -- this -- with slant face section 23'b once extended to the slanting upper part so that it may separate from the 1st level extension section from the outer edge of this slant face section -- this -- 2nd level extension section 23'c horizontally extended so that it may separate from the 1st level extension section further -- since -- it becomes.

** Wire group 24 : they are two or more metal wires which connect electrically this semiconductor chip of this up lead group, the upper surface of the edge to paste up, and chip pad 21a (plurality) prepared in the upper surface center section of this semiconductor chip, respectively.

** Molding section 25 : stiffened resin which closes this semiconductor chip and this wire group which contain this chip pad in the predetermined partial list of this up lead group and this lower lead group (an epoxy resin is usually used).

{0012} Here, "the predetermined portions of this up lead group and this lower lead group" put the portion

except a part of 2nd level extension section 23c [at least] of this up lead group, and a part of 1st level extension section 23a [at least] of this lower lead group. namely, -- this -- each one reason of the important element of the means which makes possible the laminating of two or more packages so that a part may be mentioned later -- it is made to expose to the exterior of this package

[0013] Moreover, each lead of the lower lead group which faces each lead and it of this up lead group needs to be electrically joined in other one reasons of the important element of the means which makes possible the laminating of two or more packages so that it may mention later, and this molding department. As the concrete part, it is mentioned as a good example from the arrangement mode of both the lead group in this package, a part of other-end section of this up lead group, i.e., inferior surface of tongue of 2nd level extension section 23c**, and the other-end section of this lower lead group, i.e., the part of the upper surface of 2nd level extension section 23c**. What is necessary is just to carry out both parts heating and a pressure welding, if at least this joint is a part of inferior surface of tongue of the 2nd level extension section of this up lead group that faces a part of upper surface of the 2nd level extension section of this lower lead group, and it as the concrete cementation method.

[0014] Furthermore, although it is good anything if it is the quality of the material which may transmit an electric signal as the quality of the material of the aforementioned wire 24, what has high electrical conductivity like especially gold (Au) is desirable.

[0015] Moreover, as adhesives 22' used when pasting up aforementioned up lead 23' and the lower lead 23 on the aforementioned upper surface and the aforementioned inferior surface of tongue of a semiconductor chip 21, respectively, and 22, in order to prevent electric short-circuit (SHORT), it is desirable to use insulating adhesives.

[0016] On the other hand, the bottom lead package concerning this invention can be manufactured in the following procedure (refer to drawing 1 and drawing 2).

[0017] First, as shown in drawing 2 (A), keep a predetermined gap and each lead of two or more lower lead groups 23 is arranged under the right-and-left both sides of a semiconductor chip 21. After applying the insulating adhesives 22 to the predetermined part of the upper surface of 1st level extension section 23a of this the lower lead of each, this semiconductor chip -- this -- it lays on the 1st level extension ****, and this semiconductor chip is pressed down to the lower part sense by the predetermined pressure, and these insulating adhesives are stiffened, and this semiconductor chip is pasted up on this lower lead group (die bonding production process).

[0018] subsequently, every of two or more up lead group as [shown in drawing 2 (B)], and after applying insulating adhesives 22' to upper surface right-and-left both sides of semiconductor chip which this lower lead group pasted up 23', although 1st level extension section 23a is pasted up on the predetermined part of this semiconductor chip, respectively this time -- every of this lower lead group -- every of this up lead group that faces it in a part of upper surface of 2nd level extension section 23c -- a part of inferior surface of tongue of 2nd level extension section 23c' is made to contact, and it joins (lead cementation production process.) concrete -- both -- what is necessary is to heat and just to carry out a pressure welding, applying and suppressing a predetermined pressure to 2nd level extension section 23c and 23c'

[0019] subsequently, it is shown in drawing 2 (C) -- as -- every of this up lead group -- each of two or more chip pad 21a allotted to the upper surface of 2nd level extension section 23a and the upper surface center section of the semiconductor chip 21 is connected with the metal wire 24, respectively (wirebonding (WIREBONDING) production process).

[0020] Finally, as shown in drawing 1 This semiconductor chip by which wirebonding was carried out The interior of ***** metal mold is loaded possible [exposure outside]. every of up lead group 23' -- the predetermined part (the whole surface is sufficient) of the upper surface of 2nd level extension section 23'c, and every of the lower lead group 23 -- the predetermined part (the whole surface is sufficient) of the inferior surface of tongue of 1st level extension section 23a -- each -- So that the predetermined portions of this semiconductor chip, this wire group, this up lead group, and this lower lead group may be closed The insulating resin of hardenability, For example, an epoxy resin is poured in and manufacture of the bottom lead package which is made to harden this resin, releases from mold (shaping (MOLDINNG) production process), and starts this invention is ended.

[0021] And first, in order to carry out the laminating of the bottom lead package concerning such this invention and to mount it on a printed wired board, as shown in drawing 3 , after applying solder paste 28 to the upper surface of land 26a of a printed wired board 26, it lays so that each exposure of up lead 23' of one bottom lead package 27 may be in agreement on this each land, and reflow soldering is given, and the bottom lead package of this one individual is mounted. Subsequently, what is necessary is to join this other one bottom lead package to the package of this one individual through a solder 29, and just to repeat such actuation by the predetermined number of a bottom lead package, after carrying out alignment of each one exposure of other of up lead 23' of bottom lead package 27' to each exposure of the lower lead 23 of the bottom lead package 27 of this one individual. In addition, what is necessary is just to perform electric connection of each bottom lead package in the laminating of a bottom lead package in order of an up lead -> lower lead, when mounting to this printed wired board of the bottom lead package of this one individual is performed through the lower lead group 23.

[0022]

[Effect of the Invention] The bottom lead package concerning this invention as above-mentioned A part of each other end [at least] of the up lead group connected with the semiconductor chip and the electric target on the upper surface of this bottom lead package A part of one edge [at least] each of the lower lead group corresponding to this up lead group on the inferior surface of tongue of this bottom lead package It forms so that it may expose, respectively. And so that each exposure of the lower lead group of one package and each exposure of the up lead group of other packages can connect electrically Since it is constituted, (Or each exposure of the up lead group of one package and each exposure of the lower lead group of other packages can connect electrically like) The laminating of two or more bottom lead packages, for example, the bottom lead package which uses a semiconductor storage element as a semiconductor chip, can be carried out easily, and increase of the storage capacity can be easily aimed at as a result.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the drawing of longitudinal section having shown an example of the structure of the bottom lead package concerning this invention.

[Drawing 2] It is the drawing of longitudinal section having shown the manufacture method of an example of the bottom lead package concerning this invention according to the typical production process.

[Drawing 3] It is the drawing of longitudinal section having shown an example in the condition that laminating mounting of the bottom lead package concerning this invention was carried out.

[Drawing 4] Former "S-BLP" It is the drawing of longitudinal section having shown structure.

[Drawing 5] Former "S-BLP" It is the drawing of longitudinal section having shown the mounting condition.

[Drawing 6] Former "C-BLP" It is the drawing of longitudinal section having shown structure.

[Drawing 7] Former "C-BLP" It is the drawing of longitudinal section having shown the mounting condition.

[Description of Notations]

21: Semiconductor chip

21a: Chip pad

22 22': (insulation) Adhesives

23: Lower lead

23a: The 1st level extension section of a lower lead

23b: The slant face section of a lower lead

23c: The 2nd level extension section of a lower lead

23': Up lead

23'a: The 1st level extension section of an up lead

23'b: The slant face section of an up lead

23'c: The 2nd level extension section of an up lead

24: (Metal) Wire

25: Molding section

26: Printed wired board

26a: Land

27, 27', 27'': Bottom lead package

28: Solder paste

29: Solder

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平10-256475

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.⁶

識別記号

FI

H01L 25/10

H01L 25/14

Z

25/11

23/50

W

25/18

23/50

審査請求 有 請求項の数5 OL (全6頁)

(21)出願番号 特願平10-8470

(22)出願日 平成10年(1998)1月20日

(31)優先権主張番号 8654/1997

(32)優先日 1997年3月14日

(33)優先権主張国 韓国(KR)

(71)出願人 596034274

エルジー セミコン カンパニー リミテ
ッド

大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンードン、1

(72)発明者 錢 興 燮

大韓民国忠清北道清州市興徳区開新洞10番
地 三益アパート102-1307

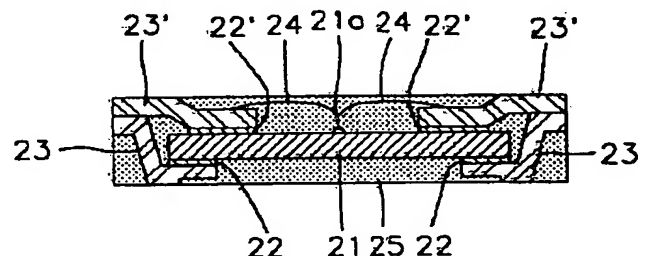
(74)代理人 弁理士 津国 肇 (外3名)

(54)【発明の名称】 ボトムリードパッケージ

(57)【要約】 (修正有)

【課題】 半導体チップの構造を工夫することによつて、例えば、半導体チップの一つとしての半導体記憶素子の容量の増大を簡単に行い得るボトムリードパッケージを提供する。

【解決手段】 半導体チップ21の下面又は上面両側方に絶縁性の接着剤22にてその一方の端部の上面又は下面が夫々接着される所定の間隔をおいて該半導体チップの前後方向に配された薄板状の複数の下部リード23及び上部リード23'を有し、該上部リード23群の他方の端部の上面の少なくとも一部と該下部リード23'群の一方の端部の下面の少なくとも一部とが夫々該パッケージの外部に露出しており、且つ、該上部リード23群の他方の端部の下面の一部と該下部リード23'群の他方の端部の上面の一部とが該モルディング部25内で電氣的に接合されていることを特徴とする。



(2)

【特許請求の範囲】

【請求項1】 半導体チップ(21) ; と、

該半導体チップの下面左右両側方に絶縁性の接着剤

(22) にてその一方の端部の上面が接着される所定の
間隔において該半導体チップの前後方向に配された薄板
状の複数の下部リード(23) ; と、該半導体チップの
上面左右両側方に絶縁性の接着剤(22) にてその一
方の端部の下面が接着される所定の間隔において該半導
体チップの前後方向に配された薄板状の複数の上部リー
ド(23') ; と、

該上部リード群の該半導体チップと接着される端部の上
面と該半導体チップの上面中央部に設けられたチップパ
ッド(21a) とを夫々電氣的に連結する複数の金属製
のワイヤ(24) ; と、

該上部リード群及び該下部リード群の所定部分並びに該
チップパッドを含む該半導体チップ及び該ワイヤ群を封
止する樹脂製のモールドイング部(25) ; と、からな
るボトムリードパッケージであって、

該上部リード群の他方の端部の上面の少なくとも一部と
該下部リード群の一方の端部の下面の少なくとも一部と
が夫々該パッケージの外部に露出しており、且つ、該上
部リード群の他方の端部の下面の一部と該下部リード群
の他方の端部の上面の一部とが該モールドイング部内で
電氣的に接合されていることを特徴とするボトムリード
パッケージ。

【請求項2】 前記の下部リード群(23) の各リード
が、該半導体チップにその上面が接着される第1の水平
延伸部(23a) ; と、該第1の水平延伸部の外端から
該第1の水平延伸部より離れるように一旦斜め上方に延
伸する斜面部(23b) ; と、該斜面部の外端から該第
1の水平延伸部より更に離れるように水平に延伸する第
2の水平延伸部(23c) ; と、からなり、
前記の上部リード群(23') の各リードが、該半導体
チップにその下面が接着される第1の水平延伸部(2
3'a) ; と、該第1の水平延伸部の外端から該第1の
水平延伸部より離れるように一旦斜め上方に延伸する斜
面部(23'b) ; と、該斜面部の外端から該第1の水
平延伸部より更に離れるように水平に延伸する第2の水
平延伸部(23'c) ; と、からなり、
該下部リード群と該上部リード群との電氣的接合部位
が、該下部リード群の第2の水平延伸部の上面の一部と
それに相対する該上部リード群の第2の水平延伸部の下
面の一部である、請求項1記載のボトムリードパッケー
ジ。

【請求項3】 前記の下部リード群(23) と上部リー
ド群(23') との電氣的接合が、該下部リード群の第
2の水平延伸部の上面の一部とそれに相対する該上部リー
ド群の第2の水平延伸部の下面の一部との加熱・圧接
にてもたらされたものである請求項2記載のボトムリー
ドパッケージ。

【請求項4】 前記のワイヤ(24) の材質が、金であ
る請求項1乃至3のいずれかーに記載のボトムリードパ
ッケージ。

【請求項5】 前記の接着剤(22, 22') が、絶縁
性の接着剤である請求項1乃至3のいずれかーに記載の
ボトムリードパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ボトムリードパッ
ッケージ(BOTTOM LEAD PACKAGE)に関し、特に、積層化可
能なボトムリードパッケージに関する。

【0002】

【従来の技術】 一般に、チップ(CHIP) サイズと略同等
サイズのパッケージであるチップサイズパッケージ(CH
IP SIZE PACKAGE)の一種としてボトムリードパッケージ
がある。このボトムリードパッケージは、チップパッド
(CHIP PAD) の配設位置によって2種に大別することが
できる。即ち、チップパッドがチップの上面の両側方に
に配された“S-B L Pパッケージ”とチップパッドが
チップの上面中央部に配された“C-B L Pパッケー
ジ”とである。

【0003】

これらの構成
を図面を用いて説明する。

S-B L Pパッケージ(図4参照)

半導体チップ1 ; と、該半導体チップの下面両側方に
接着剤2により接着される第1の水平延伸部3aと、そ
の外端から外方斜め上向きに延伸する斜面部3bと、更
に該斜面部の外端から外方に水平に延伸する第2の水平
延伸部3cと、からなる複数のリード3 ; と、該半導体
チップの上面両側方に配された複数のチップパッド1
aと該リード群の各々を夫々電氣的に連結する金属製
のワイヤ4 ; と、該リード群の第1の水平延伸部の下面
がパッケージの外部に露出するように該半導体チップ、
該ワイヤ及び該リード群の所定部分を包むように絶縁性
の樹脂材料にて封止するモールドイング部5 ; と、から
構成されていた。

【0004】 このように構成された従来の“S-B L P
パッケージ”は、図5に示すように、プリント配線板(P
RINTED WIRING BOARD) 7の各ランド7aの上面にソルダ
ペースト8を塗布した後、ピック・アンド・プレース
(PICK AND PLACE) を施して、該“S-B L Pパッケー
ジ”をその露出しているリード群3の第1の水平延伸部
の下面が対応する該ランド上にくるように位置させ、リ
フローソルダリング(REFLOW SOLDERING)を施して、実装
を行っていた。

【0005】 C-B L Pパッケージ(図6参照)

半導体チップ11 ; と、該半導体チップの上面両側方に
接着剤12により接着される第1の水平延伸部13a
と、その外端から外方斜め上向きに延伸する斜面部13
bと、更に該斜面部の外端から外方に水平に延伸する第

(3)

2の水平延伸部13cと、からなる複数のリード13；と、該半導体チップの上面中央部に配された複数のチップパッド11aと該リードの各々とを夫々電氣的に連結する複数の金属製のワイヤ14；と、該リード群の第1の水平延伸部の上面がパッケージの外部に露出するように該半導体チップ、該ワイヤ及び該リード群の所定部分を包むように絶縁性の樹脂材料にて封止するモールド部15；と、から構成されていた。

【0006】このように構成された従来の“C-BLPパッケージ”は、図7に示すようにプリント配線板17の各ランド17aの上面に溶ダペースト18を塗布した後、図6に示した“C-BLPパッケージ”16を逆さまにし、該逆さまにした“C-BLPパッケージ”をその露出しているリード群13の第1の水平延伸部13cの上面（ここで、上面とは図6における上面をいう）が対応する該ランド上にくるように位置させ、リフロー溶ダリングを施して、実装を行っていた。

【0007】然るに、このように構成された従来のボトムリードパッケージにおいては、外部への電氣的な連結端子である各リードの露出面が上方側（“C-BLPパッケージ”の場合）、又は下方側（“S-BLPパッケージ”の場合）の何れか一方のみに形成されているため、例えば、半導体チップの一つとしての半導体記憶素子の容量を簡単に増やすことが不可能であるという不都合な点があった。

【0008】

【発明が解決しようとする課題】本発明の目的は、半導体チップの構造を工夫することによって、例えば、半導体チップの一つとしての半導体記憶素子の容量の増大を簡単に言い得るボトムリードパッケージを提供しようとするものである。

【0009】

【課題を解決するための手段】本発明に係るボトムリードパッケージは、半導体チップ21；と、該半導体チップの下面左右両側方部に絶縁性の接着剤22にてその一方の端部の上面が接着される所定の間隔において該半導体チップの前後方向に配された薄板状の複数の下部リード23；と、該半導体チップの上面左右両側方部に絶縁性の接着剤22にてその一方の端部の下面が接着される所定の間隔において該半導体チップの前後方向に配された薄板状の複数の上部リード23'；と、該上部リード群の該半導体チップと接着される端部の上面と該半導体チップの上面中央部に設けられたチップパッド21a（複数）とを夫々電氣的に連結する複数の金属製のワイヤ24；と、該上部リード群及び該下部リード群の所定部分並びに該チップパッドを含む該半導体チップ及び該ワイヤ群を封止する樹脂製のモールド部25；と、からなるボトムリードパッケージであって、該上部リード群の他方の端部の上面の少なくとも一部と該下部リード群の一方の端部の下面の少なくとも一部とが夫々

該パッケージの外部に露出しており、且つ、該上部リード群の他方の端部の下面の一部と該下部リード群の他方の端部の上面の一部とが該モールド部内で電氣的に接合されていることを特徴とする。

【0010】ここで、前記のリード群の具体的態様としては、下部リード群23の各リードについては、該半導体チップにその上面が接着される第1の水平延伸部23a；と、該第1の水平延伸部の外端から該第1の水平延伸部より離れるように一旦斜め上方に延伸する斜面部23b；と、該斜面部の外端から該第1の水平延伸部より更に離れるように水平に延伸する第2の水平延伸部23c；と、からなるものが、上部リード群23'の各リードについては、該半導体チップにその下面が接着される第1の水平延伸部23'a；と、該第1の水平延伸部の外端から該第1の水平延伸部より離れるように一旦斜め上方に延伸する斜面部23'b；と、該斜面部の外端から該第1の水平延伸部より更に離れるように水平に延伸する第2の水平延伸部23'c；と、からなるものが、そして該下部リード群と該上部リード群との電氣的接合部位が、該下部リード群の第2の水平延伸部の上面の一部とそれに相対する該上部リード群の第2の水平延伸部の下面の一部であるものが、例示される。

【0011】

【発明の実施の形態】以下、本発明をその実施の形態に基き詳細に説明する。本発明に係るボトムリードパッケージは、図1に示すように、下記の要素から構成される。

① 半導体チップ21

② 下部リード群23：該半導体チップの下面左右両側方部に絶縁性の接着剤22にてその一方の端部、すなわち該半導体チップから遠ざかるように水平に延伸する第1の水平延伸部23a、の上面が接着される所定の間隔において該半導体チップの前後方向に配された薄板状の複数のリードであって、該第1の水平延伸部の外端から該第1の水平延伸部より離れるように一旦斜め上方に延伸する斜面部23bと、該斜面部の外端から該第1の水平延伸部より更に離れるように水平に延伸する第2の水平延伸部23cと、からなる。

③ 上部リード群23'：該半導体チップの上面左右両側方部に絶縁性の接着剤22にてその一方の端部、すなわち該半導体チップから遠ざかるように水平に延伸する第1の水平延伸部23'a、の下面が接着される所定の間隔において該半導体チップの前後方向に配された薄板状の複数のリードであって、該第1の水平延伸部の外端から該第1の水平延伸部より離れるように一旦斜め上方に延伸する斜面部23'bと、該斜面部の外端から該第1の水平延伸部より更に離れるように水平に延伸する第2の水平延伸部23'cと、からなる。

④ ワイヤ群24：該上部リード群の該半導体チップと接着される端部の上面と該半導体チップの上面中央部に

(4)

5

設けられたチップパッド21a(複数)とを夫々電氣的に連結する複数の金属製のワイヤである。

⑤ モールディング部25:該上部リード群及び該下部リード群の所定部分並びに該チップパッドを含む該半導体チップ及び該ワイヤ群を封止する硬化させた樹脂(通常、エポキシ樹脂が使用される)。

【0012】ここで、『該上部リード群及び該下部リード群の所定部分』とは、該上部リード群の第2の水平延伸部23'cの少なくとも一部と、該下部リード群の第1の水平延伸部23aの少なくとも一部と、を除いた部分をさす。すなわち、該一部は、後述するように複数のパッケージを積層可能にする手段の重要な要素の一つ故夫々該パッケージの外部に露出させておく。

【0013】また、該上部リード群の各リードとそれに相対する下部リード群の各リードとは、後述するように複数のパッケージを積層可能にする手段の重要な要素の他の一つ故、該モールディング部内で電氣的に接合されていることが必要である。その具体的部位としては、該上部リード群の他方の端部、すなわち第2の水平延伸部23'c、の下面の一部と、該下部リード群の他方の端部、すなわち第2の水平延伸部23c、の上面の一部とが、該パッケージ内の両リード群の配設態様から好例として挙げられる。その具体的接合方法としては、該接合部位が該下部リード群の第2の水平延伸部の上面の一部とそれに相対する該上部リード群の第2の水平延伸部の下面の一部であるならば、両部位を加熱・圧接すればよい。

【0014】更に、前記のワイヤ24の材質としては、電氣的信号を伝達し得る材質であれば何でも良いが、特に金(Au)のような電気伝導度の高いものが望ましい。

【0015】また、前記の半導体チップ21の上面と下面に前記の上部リード23'と下部リード23を夫々接着するとき用いる接着剤22', 22としては、電氣的ショート(SHORT)を防止するため、絶縁性接着剤を使用することが好ましい。

【0016】一方、本発明に係るボトムリードパッケージは、下記の手順にて製造し得る(図1及び図2参照)。

【0017】先ず、図2(A)に示すように、複数の下部リード群23の各リードを所定間隔を置いて半導体チップ21の左右両側下に配列し、該各下部リードの第1の水平延伸部23aの上面の所定部位に絶縁性接着剤22を塗布した後、該半導体チップを該第1の水平延伸部群の上に載置し、所定の圧力で該半導体チップを下方向きに押えつけ、そして該絶縁性接着剤を硬化させ、該半導体チップを該下部リード群に接着する(ダイボンディング工程)。

【0018】次いで、図2(B)に示すように、該下部リード群が接着された半導体チップの上面左右両側に絶縁性接着剤22'を塗布した後、複数の上部リード群2

6

3'の各第1の水平延伸部23aを夫々該半導体チップの所定部位に接着するのであるが、このとき、該下部リード群の各第2の水平延伸部23cの上面の一部をそれに相対する該上部リード群の各第2の水平延伸部23c'の下面の一部とを当接させ接合する(リード接合工程。具体的には、両第2の水平延伸部23c, 23c'に所定の圧力を加えて押えつながら加熱して圧接すればよい)。

【0019】次いで、図2(C)に示すように、該上部リード群の各第2の水平延伸部23aの上面と半導体チップ21の上面中央部に配された複数のチップパッド21aの各々とを金属製のワイヤ24により夫々連結する(ワイヤボンディング(WIREBONDING)工程)。

【0020】最後に、図1に示すように、該ワイヤボンディングされた半導体チップを上部リード群23'の各第2の水平延伸部23'cの上面の所定部位(全面でもよい)と下部リード群23の各第1の水平延伸部23aの下面の所定部位(全面でもよい)とが夫々外部に露出可能に型取った金型の内部に装填し、該半導体チップと該ワイヤ群と該上部リード群及び該下部リード群の所定部分を封止するように硬化性の絶縁性樹脂、例えばエポキシ樹脂を注入し、そして該樹脂を硬化させ、離型し(成形(MOLDING)工程)、本発明に係るボトムリードパッケージの製造を終了する。

【0021】そして、このような本発明に係るボトムリードパッケージをプリント配線板上に積層して実装するには、図3に示すように、先ず、プリント配線板26のランド26aの上面に溶ダペースト28を塗布した後、該各ランド上に1個のボトムリードパッケージ27の上部リード23'の各々の露出面とが一致するように載置し、そしてリフローソルダーリングを施し該1個のボトムリードパッケージを実装する。次いで、該1個のボトムリードパッケージ27の下部リード23の各々の露出面に他の1個のボトムリードパッケージ27'の上部リード23'の各々の露出面を位置合わせした後、溶ダ29を介して該他の1個のボトムリードパッケージを該1個のパッケージと接合し、このような操作をボトムリードパッケージの所定個数分繰返せばよい。尚、該1個のボトムリードパッケージの該プリント配線板への実装を下部リード群23を介して行った場合には、ボトムリードパッケージの積層における各ボトムリードパッケージの電氣的連結は、上部リード→下部リードの順に行えばよい。

【0022】

【発明の効果】上記のとおり、本発明に係るボトムリードパッケージは、半導体チップと電氣的に連結された上部リード群の各他端の少なくとも一部を該ボトムリードパッケージの上面に、該上部リード群に対応する下部リード群の各一端の少なくとも一部を該ボトムリードパッケージの下面に、夫々露出するように形成し、しかも1

(5)

7

個のパッケージの下部リード群の各露出面と他のパッケージの上部リード群の各露出面とが電氣的に連結し得るように（又は1個のパッケージの上部リード群の各露出面と他のパッケージの下部リード群の各露出面とが電氣的に連結し得るように）構成されているため、複数のボトムリードパッケージ、例えば半導体記憶素子を半導体チップとするボトムリードパッケージ、を容易に積層することができる、結果としてその記憶容量の増大を簡単に図り得る。

【図面の簡単な説明】

【図1】本発明に係るボトムリードパッケージの構造の一例を示した縦断面図である。

【図2】本発明に係るボトムリードパッケージの一例の製造方法を代表的な工程に従って示した縦断面図である。

【図3】本発明に係るボトムリードパッケージが積層実装された状態の一例を示した縦断面図である。

【図4】従来の“S-BLP”の構造を示した縦断面図である。

【図5】従来の“S-BLP”の実装状態を示した縦断面図である。

【図6】従来の“C-BLP”の構造を示した縦断面図

8

である。

【図7】従来の“C-BLP”の実装状態を示した縦断面図である。

【符号の説明】

21：半導体チップ

21a：チップパッド

22, 22'：（絶縁性）接着剤

23：下部リード

23a：下部リードの第1の水平延伸部

10 23b：下部リードの斜面部

23c：下部リードの第2の水平延伸部

23'：上部リード

23'a：上部リードの第1の水平延伸部

23'b：上部リードの斜面部

23'c：上部リードの第2の水平延伸部

24：（金属製の）ワイヤ

25：モールドイング部

26：プリント配線板

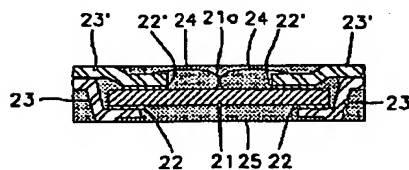
26a：ランド

20 27, 27'：ボトムリードパッケージ

28：溶剤ペースト

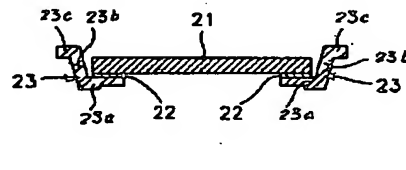
29：溶剤

【図1】



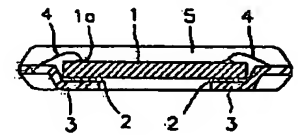
(A)

【図2】

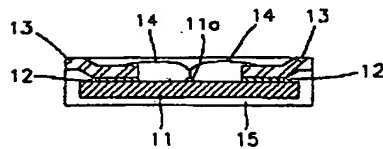


(B)

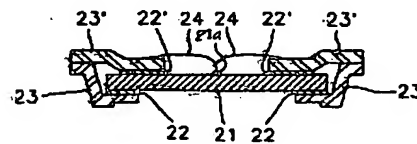
【図4】



【図6】

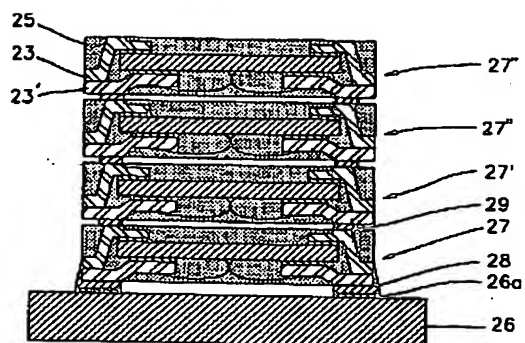


(C)

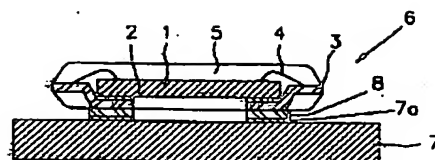


(6)

【図3】



【図5】



【図7】

